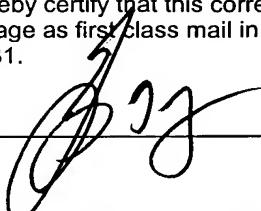




Docket No.: P2002,0710

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 18, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Jochen Müller
Appl. No. : 10/651,857
Filed : August 29, 2003
Title : Method for Driving One-Time Operable Isolation Elements and Circuit for Driving the Isolation Elements

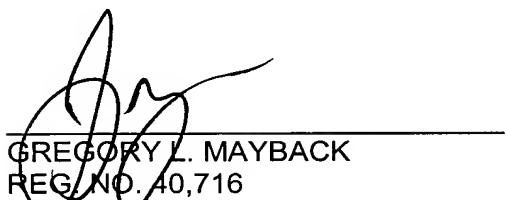
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 39 857.7 filed August 29, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: September 18, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 39 857.7

Anmeldetag: 29. August 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zum Ansteuern von einmalig betreibbaren
Trennelementen

IPC: G 11 C 17/16

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 1. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read "W. H. Schäfer", is placed over the typed name of the President. Below the signature, the word "LOTEUS" is printed in a small, sans-serif font.

Beschreibung

Verfahren zum Ansteuern von einmalig betreibbaren Trennelementen

5

Die Erfindung betrifft ein Verfahren zum Ansteuern von einmal betreibbaren Trennelementen auf einem Halbleiterchip, bei dem für jedes zu betreibende Trennelement eine Trenninformation hinterlegt ist.

10

Trennelemente werden üblicherweise in Halbleiteranordnung und insbesondere in Halbleiterspeichern mit zunehmender Bedeutung eingesetzt. Sie dienen dazu, bei Ausfall einzelner Elemente, wie beispielsweise Speicherzellen oder Wortleitungen, entsprechende Ersatz- bzw. Redundantselemente zuzuschalten. Wird beispielsweise bei einem Test eines Halbleiterspeichers eine Wortleitung als fehlerhaft festgestellt, so wird durch trennen oder zünden von so genannten Fuses anstelle der fehlerhaften Wortleitung eine redundante aktiviert. Auch können beispielsweise Chipoptionen oder Individualisierungen mittels derartiger Trennelemente geschaltet werden. Es gibt zwei unterschiedliche Arten von Trennelementen. Bei einer ersten Art erfolgt die Trennung durch Einwirkung eines Laserstrahls, so daß eine sogenannte "Laserfuse" vorliegt. Bei der zweiten Art wird die Trennung durch elektrische Zerstörung auf Grund deiner entsprechenden Trennstruktur erreicht. Es gibt dabei eine Vielzahl von elektrischen Fuses. Eine Möglichkeit, daß durch Wärmeentwicklung eine Leiterbahn weggeschmolzen wird. Eine andere Möglichkeit ist, daß durch Elektromigration ein Bestandteil des Materials der Leiterbahn Migriert und sich so der elektrische Widerstand der Leiterbahn ändert. Wiederum eine andere Möglichkeit sind sogenannte Antifuses, bei denen durch Anlegen einer elektrischen Spannung ein Dielektrikum zerstört wird und ein leitender Kanal durch dieses ausgebildet wird. In der Folge wird von einer sogenannten elektrischen, bzw. "E-Fuse" ausgegangen.

25

30

35

Die sogenannten "Laser-Fuses" weisen den Nachteil auf, daß sie nur am offenen Chip aktiviert, d. h. mittels eines Lasers durchtrennt werden können. Die im Weiteren noch beschriebene Erfindung ist für den Einsatz bei sogenannten "E-Fuses" ange-
5 wandt. Bei dem "E-Fuses" als Trennelement wird nochmals zwischen denen, die durch Anlegen einer elektrischen Spannung angeschaltet werden und denen, die durch Anlegen einer elek-
10 trischen Spannung ausgeschaltet werden unterschieden. Trennelemente, die durch Anlegen einer elektrischen Spannung an-
geschaltet werden, also in einen leitenden Zustand übergehen,
werden als Anti-Fuses bezeichnet, während Trennelemente, die
durch Anlegen der Spannung ihren leitenden Zustand verlieren
sind sogenannte normale "E-Fuses".

15 Die Erfindung ist auf beide Arten anwendbar. Dem Zustand des Trennelementes, also "leitend" oder "nicht-leitend", kann ei-
ne logische "1" bzw. "0" oder umgekehrt zugeordnet werden.

Das Brennen der Trennelemente erfolgt insbesondere durch An-
20 legen einer hohen Spannung, die einige Volt betragen kann und auf einen Anschluß des Trennelementes geschaltet wird, wäh-
rend sich der andere Anschluß des Trennelementes, mit "Masse" verbunden ist. Während in der DE10026253A1 eine Anordnung zum Auslesen von "Laser-Fuses" beschrieben ist, die genauso gut auf "E-Fuses" bzw. "Anti-Fuses" anwendbar ist, ist aus der DE
25 10026251A1 eine Anordnung zum Programmieren einer sogenannten "E-Fuse" beschrieben. Derartige Anordnungen sind auf dem Halbleiterchip ausgebildet. Grundsätzlich wird, wenn es zur notwendigen Aktivierung von Redundanzen auf Grund fehlerhaf-
30 ter Speicherzellen, beispielsweise bei DRAM-Bauelementen, kommt, liegt hierzu grundsätzlich eine Information vor, welches Trennelement aktiviert werden soll. Grundlage hierfür ist beispielsweise ein Test, der durch eine entsprechende Te-
stanordnung am auf dem sogenannten "Wafer" noch vorliegenden
35 Chip bzw. am gehäusten Chip vorgenommen wird. Die Testvor-
richtung überträgt, nachdem sie ermittelt hat, welches Tren-
nelement zu aktivieren ist, die Information hierzu an den

Chip, egal, ob er auf dem Wafer noch angeordnet ist oder bereits in einem gehäusten Bauelement vorliegt. Auf der somit auf dem Chip vorliegenden Information werden nunmehr nachfolgend die einzelnen Trennelemente aktiviert.

5

Dies kann bedeuten, daß die Zeit zum Aktivieren dieser Trennelemente erhebliche Ausmaße annimmt. Die Anzahl der Trennelemente bewegt sich beispielsweise für einen 256M-Bit-Chip im Bereich von 10.000 bis 20.000 Einzeltrennelementen. Werden

10 in dieser alle nacheinander aktiviert, so summiert sich die Zeit, die hierfür erforderlich ist. Notwendigerweise werden zwar nicht alle Trennelemente aktiviert, üblicherweise dürfte die Anzahl jedoch im Bereich der Hälfte der verfügbaren Trennelemente liegen, da die Zeit zum Aktivieren eines einzelnen

15 Trennelementes, d. h. zum Durchtrennen einer sogenannten "E-Fuse" liegt im Bereich von 100μ . Dies bedeutet, daß das sequentielle Durchtrennen der Trennelemente bei einem 256M-Bit-Chip ca. 5 Sekunden dauert. Da es sich bei dem Speicherchip um ein Massenprodukt handelt, wirkt sich diese verhältnismäßig

20 lange Zeit störend bei der Herstellung, d. h. kostenerhöhend aus. Grundsätzlich wäre zur Verminderung der Aktivierungszeit der Trennelemente möglich, die Trennelemente parallel anzusteuern. Da jedoch, wie bereits zuvor beschrieben

25 wurde, einiges an Energie notwendig ist, um entweder eine Leiterbahn aufzutrennen, oder bei der "Anti-Fuse" mittels Stromfluß ein Dielektrikum zu durchtrennen, um einen Kurzschluß herzustellen, und diese Energie auf dem "Chip" zur Verfügung gestellt werden muß, hat sich das parallele Ansteuern der Trennelemente als nicht sehr wirksam erwiesen.

30

Der Erfindung liegt somit die Aufgabe zu Grunde, ein Verfahren zum Ansteuern von einmal betreibbaren Trennelementen auf einem Halbleiterchip vorzusehen, bei dem die benötigte Zeit zum Aktivieren der Trennelemente vermindert ist. Diese Aufga-

35 be wird erfindungsgemäß mit den in den unabhängigen Patentansprüchen angegebenen Maßnahmen gelöst.

Dadurch, daß, sobald eine Trenninformation für ein Trennelement vorliegt, mit dem Aktivieren des Trennelementes begonnen wird, und nicht auf die Beendigung des Hinterlegens der Trenninformation gewartet wird, kann bereits mit dem Aktivieren 5 des Trennelementes begonnen werden, während noch der Hinterlegungsvorgang läuft. Auf diese Art und Weise ist bereits bei einem einzelnen Bauelement die Zeit für das Hinterlegen der Trenninformation im Gesamtablauf nicht mehr relevant. Werden mehrere Chips nacheinander mit diesem Verfahren bearbeitet, 10 so ist es vorteilhaft, daß nach dem Hinterlegen und dem Beginn der Aktivierung des ersten Trennelementes im ersten Chip, nachdem eine Teilinformation, d. h. die Trenninformation für zumindest ein Trennelement hinterlegt ist, beim nächsten Chip mit dem Hinterlegen begonnen wird. Werden mit dem 15 so erweiterten Verfahren so viele Chips bzw. Bauelemente betrieben, daß die Summe der Zeit, die für das Hinterlegen einer Trenninformation für ein Trennelement benötigt wird, der Zeit entspricht, die für das Aktivieren eines einzelnen Trennelementes benötigt wird, ist für die Dauer des gesamten Vorgangs nur noch die Zeit für das Hinterlegen der Trenninformation maßgeblich. Es kann zur Optimierung der Zeitersparnis 20 sinnvoll sein, insbesondere wenn die Chips noch auf dem "Wafer" vorliegen, mehrere derartige Serien wiederum parallel durchzuführen. Dies bedeutet, daß bei mehreren Chips zunächst 25 begonnen wird, die Trenninformation zu hinterlegen, und sobald die Trenninformation für ein erstes Trennelement vorliegt mit dem Aktivieren dieses Trennelementes zu beginnen, um dann in jeder der parallelen Serien mit diesem Verfahren beim nächsten Chip in der Serie fortzufahren.

30 Genauso gut ist es möglich, mehrere Serien hintereinander zu schalten. In einem solchen Fall ist beispielsweise wiederum eine zeitliche Optimierung erreicht, wenn die Summe des Einlesens der Trenninformation für zwei Trennelemente bei allen 35 Chips in einer Serie der Summe des Aktivierens zweier Trennelemente entspricht.

Das Hinterlegen der Trenninformation kann dabei durch das Zuführen der Trenninformation von einer externen Vorrichtung auf den jeweiligen Chip erfolgen, genauso wie durch anstoßen eines Vorgangs, der auf dem Chip die Trenninformation selbst erzeugt. Dies ist möglich, da es heutzutage sowohl üblich ist, Speicherchips durch externe Apparaturen zu testen und auszuwerten, als auch Tests, die durch eine externe Apparatur eingeleitet werden, auf dem Chip durchzuführen.

In diesem Fall sind alle für den Test notwendigen Schaltungsanordnungen auf dem Chip integriert, so daß die Trenninformation vom Chip selber erzeugt wird.

Nachfolgend wird ein Ausführungsbeispiel zur Erfindung unter Bezugnahme auf die Zeichnung erläutert.

Es zeigen:

Figur 1 eine Prinzipskizze für ein Ausführungsbeispiel einer Schaltungsanordnung zum Durchführen des Verfahrens,

Figur 2 eine Prinzipsskizze einer Anordnung für das Durchführen des Verfahrens bei mehreren gehäusten Bauelementen und

Figur 3 die Prinzipskizze eines Halbleiterwafers.

Figur 1 zeigt einen Halbleiterchip 4, der eine Trennelementesteuerung 1 aufweist. Aus dieser Trennelementesteuering gehen erste Sicherungsleitungen A₁ bis A_m und zweite Sicherungsleitungen B₁ bis B_n heraus. Diese sind zur Ansteuerung einer Trennelementematrix F vorgesehen, so daß am Schnittpunkt der ersten und zweiten Sicherungsleitungen ein jeweiliges Trennelement ansteuerbar, d. h. aktivierbar ist. Die Matrix umfaßt somit mxn-Trennelemente. Dabei ist es nicht notwendig, daß die Trennelemente tatsächlich auf dem Chip räumlich als Matrix angeordnet sind. Die Darstellung dient nur dem besseren Verständnis.

Alternativ ist es natürlich auch möglich, zum Aktivieren der einzelnen Trennelemente für jedes Trennelement eine einzelne Steuerleitung vorzusehen, Dies ist insbesondere dann vor Vorteil, wenn nur wenige Trennelemente auf einem Chip vorgesehen sind.

In dem gemäß Figur 1 dargestellten Beispiel werden die einzelnen Trennelemente durch eine Trennelementeansteuerung einzeln aktiviert. Hierzu ist die Trennelementeansteuerung mit einem Zwischenspeicher verbunden, in dem eine Trenninformation abspeicherbar ist. Im dargestellten Ausführungsbeispiel wird die Trenninformation über eine Schnittstelle 7 in den Zwischenspeicher 3 eingegeben. Es ist jedoch nicht zwingend notwendig, daß diese Schnittstelle 7 tatsächlich aus dem Chip herausgeführt ist bzw. bei einem gehäusten Bauelement aus dem Gehäuse herausgeführt ist, genausogut kann die Schnittstelle 7 mit einer internen Schaltungsanordnung verbunden sein, die die Trenninformation direkt auf dem Chip erzeugt. Sobald nunmehr eine Trenninformation für ein einzelnes Trennelement der Matrix F beispielsweise $F_{1,1}$ vorliegt, aktiviert die Trennelementeansteuerung 2 über die erste Sicherungsleitung A1 und die zweite Sicherungsleitung B1 das Trennelement $F_{1,1}$, so daß die damit verbundene "E-Fuse" bzw. "Anti-Fuse" durchtrennt bzw. kurzgeschlossen wird. So bald dieser Vorgang abgeschlossen ist, liest die Trennelementeansteuerung 2 die nächste Trenninformation aus dem Zwischenspeicher 3 aus und führt das Verfahren so lange fort, bis ihm über den Zwischenspeicher 3 keine weitere Trenninformation zugeführt wird.

In einer Anordnung gemäß Figur 2, ist eine Vielzahl von gehäusten Bauelementen 5 dargestellt, aus denen äußere Anschlüsse 6 schematisch dargestellt herausgeführt sind, wobei ein Chip 4 mittels einer gestrichelten Linie als innenliegend dargestellt ist. Es liegt somit eine Anzahl $x \times y$ an Bauelementen vor. Über die zweiteilig dargestellte Testeinrichtung wird nunmehr zunächst dem Bauelement $5_{1,1}$, das intern grund-

sätzlich die Anordnung gemäß Figur 1 aufweist, begonnen, eine Trenninformation zuzuführen, wobei die Schnittstelle 7 über einen oder mehrere der äußeren Anschlüsse 6 realisiert ist.

5 Sobald die Trenninformation für ein erstes Trennelement in dem Bauelement $5_{1,1}$ hinterlegt ist, beginnt die Trennelemente-ansteuerung 1 innerhalb des Bauelementes 1 ein erstes Trennelement zu aktivieren, währenddessen beginnt die Testeinrichtung $10_{a,b}$ in einem Bauelement $5_{1,2}$ die Trenninformation zu hinterlegen, so daß die Aktivierung ebenfalls in diesem Bau-element beginnt. Es wird so bis zum Bauelement $5_{1,y}$ fortge-setzt. Wenn nach dem Hinterlegen der Trenninformation im Bau-element $5_{1,y}$ im Bauelement $5_{1,1}$ der zuvor begonnene Vorgang des Aktivierens eines Trennelementes abgeschlossen ist, kann mit 10 dem weiteren Hinterlegen einer nächsten Trenninformation im Bauelement $5_{1,1}$ fortgesetzt werden und wie vorhergehend be-schrieben entsprechend fortgesetzt werden. Nunmehr ist leicht vorstellbar, daß der für die Bauelemente $5_{1,1}$ bis $5_{1,y}$ be-15 schriebene Vorgang für alle x-Spalten an Bauelementen par-allel abläuft.

Genausogut ist es vorstellbar, daß wenn beim Hinterlegen der Trenninformation beim Bauelement $5_{1,y}$ das Aktivieren des Trennelementes im Bauelement $5_{1,1}$ noch nicht abgeschlossen ist, mit dem Vorgang des Hinterlegens beim Bauelement $5_{2,1}$ fortge-setzt wird. Es ist nunmehr nicht zwingend notwendig, daß nun-mehr die Hinterlegung der Trenninformationen in allen Bau-elementen der zweiten Reihe, d. h. bis zum Bauelement $5_{2,y}$ fort-gesetzt wird. Unter der Voraussetzung, daß eine Teststeuerung 25 11, die mit der Testeinrichtung $10_{a,b}$ verbunden ist und diese steuert, dazu geeignet ist, ist es möglich eine beliebige ge-eignete Sequenz an Bauelementen herauszusuchen, die nicht un-bedingt vollständige Reihen oder Spalten umfaßt. Und genauso gut ist es mit einer derartig ausgestatteten Teststeuerung 30 11 möglich mehrere geeignet lange Sequenzen an Bauelementen par-allel abzuarbeiten.

Dieses Verfahren, das an fertig gehäusten Bauelementen gemäß Figur 2 beschrieben wurde, ist auch auf einen Halbleiterwafer 13 übertragbar, der in Figur 3 schematisch dargestellt ist.

5 Die in Figur 3 dargestellten Linien auf dem Wafer 13 sollen die sogenannten Sägelinien repräsentieren, wobei in Wirklichkeit eine größere Anzahl von Sägelinien und damit eine größere Anzahl einzelner Chips 4 auf einem solchen Wafer 13 ausgebildet sind. Schematisch ist in einem mittleren Bereich des
10 Chips 4 ein Kontakt/Logik-Bereich 12 angedeutet, in dem beispielsweise u. a. die in Figur 1 prinzipiell dargestellte Schaltungsanordnung angeordnet ist, wobei in vielen Fällen ebenfalls in dem Kontakt/Logik-Bereich 11 Anschlußkontakte ausgebildet sind. Auf diesen setzt die Testeinrichtung auf,
15 die die Kontakte über sogenannte Nadeln kontaktiert. Nunmehr ist das unter Bezugnahme auf Figur 1 bzw. Figur 2 beschriebene Verfahren für einen oder beliebig viele Chips 4 auf dem Wafer 13 anwendbar.

Patentansprüche

1. Verfahren zum Ansteuern von einmal betreibbaren Trennelementen auf einem Halbleiterchip (4), bei dem für jedes der zu betreibenden Trennelemente (F) auf dem Chip (4) eine Trenninformation hinterlegt wird, woraufhin die jeweiligen Trennelemente derart betrieben werden, daß sobald für ein Trennelement die Trenninformation vorliegt mit dem einmaligen Betreiben dieses Trennelementes begonnen wird.

10

2. Verfahren nach Anspruch 1, bei dem bei mehreren Halbleiterchips (4) eine für jeden der Halbleiterchips spezifische Trenninformation so hinterlegt wird, daß bei einem ersten Halbleiterchip beginnend und dann nacheinander die Trenninformation der weiteren Halbleiterchips bis zum letzten Halbleiterchip zumindest die Trenninformation für ein erstes Trennelement hinterlegt wird und daß nachdem letzten Halbleiterchip (4) solange wieder bei dem ersten Halbleiterchip (4) das Hinterlegen von Trenninformation fortgesetzt wird, bis in allen Halbleiterchips die Trenninformation vollständig hinterlegt ist.

15

3. Verfahren nach Anspruch 1, bei dem bei mehreren Halbleiterchips eine für jeden der Halbleiterchips (4) spezifische Trenninformation hinterlegt wird, wobei bei allen Halbleiterchips parallel die Trenninformation hinterlegt wird.

20

4. Verfahren nach Anspruch 2 oder 3, bei dem das Hinterlegen derart Erfolg hat, daß die Trenninformation von einer Testeinrichtung (10a,b) über eine Schnittstelle (7) dem Chip zugeführt wird.

25

5. Verfahren nach Anspruch 2 oder 3, bei dem das Hinterlegen der Trenninformation derart erfolgt, daß die Trenninformation auf dem Halbleiterchip 4, selbst erzeugt wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem mehrere Halbleiterchips (4) zu einstückig auf einem Wafer (13) ausgebildet sind.
- 5 7. Verfahren nach einem der Ansprüche 1 bis 5, bei dem die Halbleiterchips in einem gehäusten Bauelement (5) angeordnet sind.
- 10 8. Anordnung für das Durchführen eines Verfahrens nach einem der Ansprüche 1 bis 7, bei dem eine Trenninformation über eine Schnittstelle 7, einem Zwischenspeicher 3 zugeführt ist, und eine Trennelementeansteuerung 2 nach dem Vorliegen von zumindest einer Trenninformation für ein Trennelement (F1,1 bis FM,N) die Trenninformation aus dem Zwischenspeicher 3 ausliest und über zumindest eine erste Steuerleitung A das betreffende Trennelement einmalig betreibt.
- 15

Zusammenfassung

Verfahren zum Ansteuern von einmalig betreibbaren Trennelementen

5

Es ist ein Verfahren und eine Anordnung zum Ansteuern von einmalig betreibbaren Trennelementen auf einem Halbleiterchip vorgesehen, bei dem für jedes zu betreibende Trennelement auf dem Chip eine Trenninformation hinterlegt wird. Daraufhin werden die jeweiligen Trennelemente betrieben, wobei, sobald für ein Trennelement die Trenninformation vorliegt, das einmalige Betreiben dieses Trennelementes begonnen wird.

10
Figur 1

Bezugszeichenliste

- 1 Trennelementesteuerung
- 2 Trennelementeansteuerung
- 5 3 Zwischenspeicher
- 4 Chip
- 5 gehäustes Bauelement
- 6 Anschlüsse
- 7 Schnittstelle
- 10 10 a, b Testeinrichtung
- 11 Teststeuerung
- A1 .. m erste Sicherungsleitungen
- B1 .. n zweite Sicherungsleitungen
- 12 Kontakt-Logik-Bereich
- 15 13 Wafer
- Fm, n Trennelemente Matrix

P 2002.0710

1/2

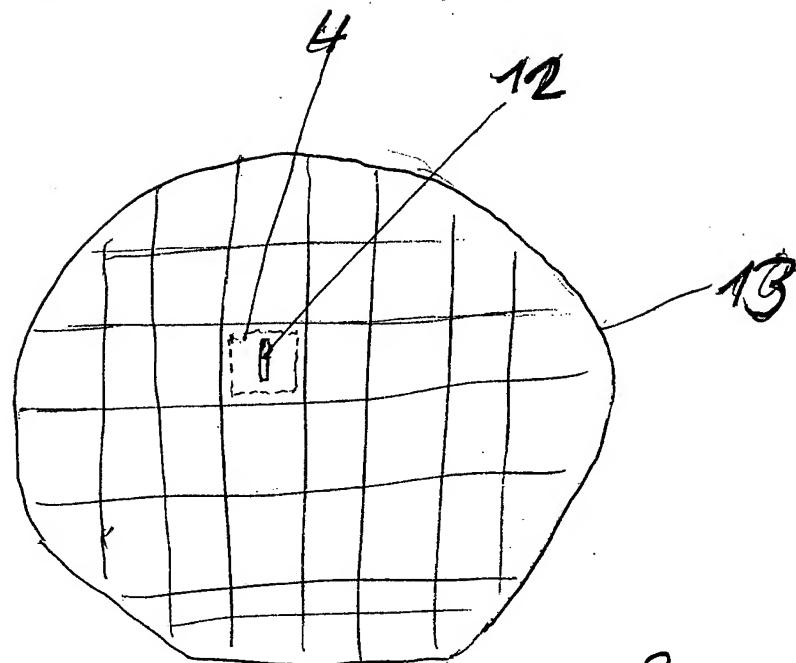


Fig 3

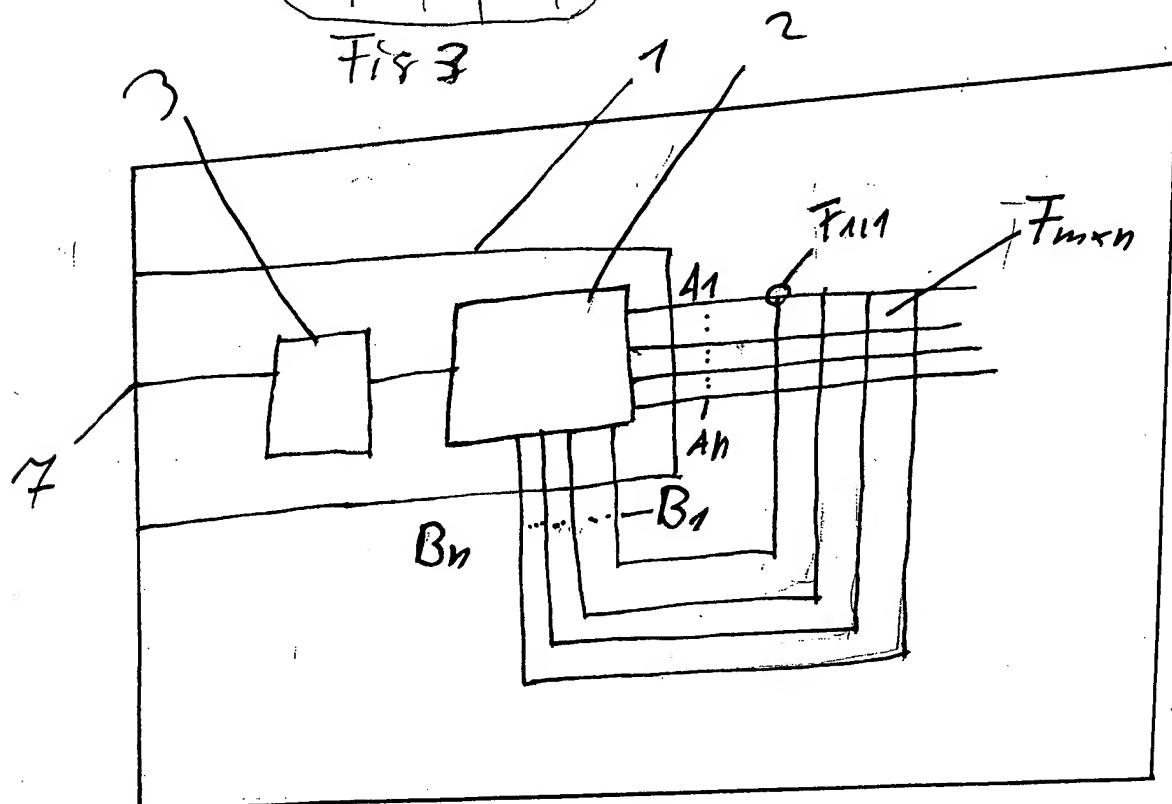


Fig. 1

2/2

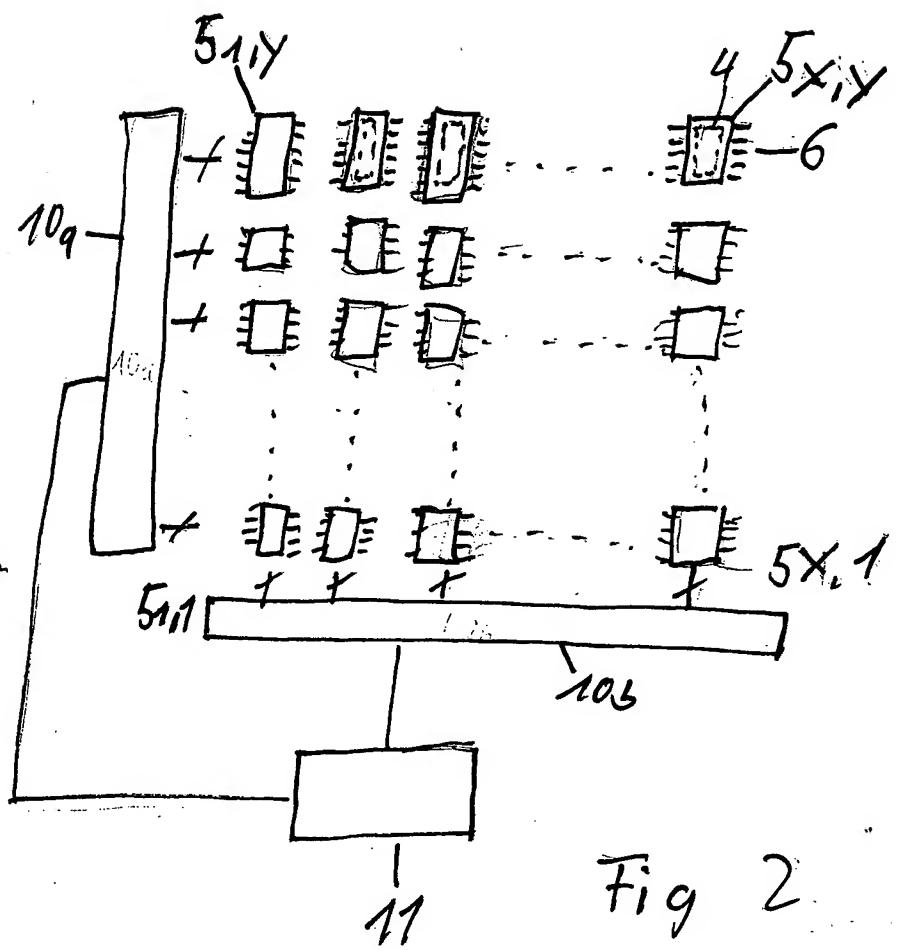


Fig 2